

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11881599

Basic Patent (No,Kind,Date): JP 6186580 A2 940708 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): KITAWADA KIYOBUMI

IPC: *G02F-001/1345; G02F-001/133; G02F-001/136; G09G-003/36; H01L-029/784

Derwent WPI Acc No: *C 94-257702; C 94-257702

JAPIO Reference No: *180532P000047; 180532P000047

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6186580	A2	940708	JP 92337492	A	921217 (BASIC)

Priority Data (No,Kind,Date):

JP 92337492 A 921217

04715580 ****Image available****

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-186580 [JP 6186580 A]

PUBLISHED: July 08, 1994 (19940708)

INVENTOR(s): KITAWADA KIYOBUMI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 04-337492 [JP 92337492]

FILED: December 17, 1992 (19921217)

INTL CLASS: [5] G02F-001/1345; G02F-001/133; G02F-001/136; G09G-003/36;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R119 (CHEMISTRY -- Heat Resistant Resins)

ABSTRACT

PURPOSE: To miniaturize a device and to suppress the deterioration of liquid crystal by separating source wiring and a picture element electrode in separate layers by using transparent organic insulating film as second inter-layer insulating film, peeling the sealing area lower part of the organic film, and arranging a driver circuit in the sealing area lower part.

CONSTITUTION: A picture element transistor 313 is formed on a substrate 301. The driver circuit 304 consisting of an integrated circuit of transistors is arranged at the middle part of both a sealing area 303 and a picture element part, and those element substrates are covered with the transparent organic insulating film 318 of polyimide, etc. A picture element electrode 314 of ITO, etc., is formed on the transparent organic insulating film 318, and is connected to the drain electrode of the picture element transistor 313 via a contact hole. Also, the driver circuit 304 is arranged in the lower part of the sealing area 303, and the transparent organic insulating film 318 on the upper part of the circuit is peeled. Furthermore, a part extended from the picture element part to the sealing area 303 is covered with oriented film 312.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-186580

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1345	8707-2K		
	1/133	5 5 0		
	1/136	5 0 0		
		9226-2K		
		9018-2K		
		9056-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
				3 1 1 N

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-337492

(22)出願日 平成4年(1992)12月17日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 北和田 清文

長野県諏訪市大和3丁目3番5号セイコー
エプソン株式会社内

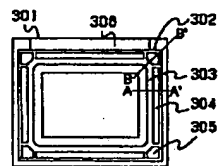
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 液晶表示装置

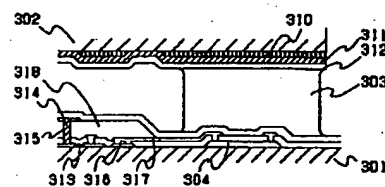
(57)【要約】

【目的】 高歩留まりで且つ、液晶の劣化の少ない高品質な小型の液晶表示装置を実現する。

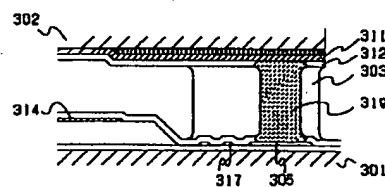
【構成】 本発明は、シールエリア内部の素子基板全体を透明有機絶縁膜で覆った上に画素電極を形成し、シールエリア下部にドライバー回路を配置し、ドライバー回路上部には前記透明有機絶縁膜が無いことを特徴とする。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】 液晶表示装置の基板において、画素駆動薄膜トランジスタが有機膜に覆われており、画素電極が前記有機膜上に形成されることを特徴とする液晶表示装置。

【請求項2】 シールエリアの前記有機膜を剥離することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 薄膜トランジスタの集積回路から成る画素トランジスタ駆動回路をシールエリア下部に配置したことを特徴とする請求項2に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】 従来の液晶表示装置の一例を図1を用いて説明する。

【0003】 この図は液晶表示装置の外観図である。

【0004】 ガラス、石英等の基板101上に画素エリア105を図1(a)のように配置し、この画素部の周辺に薄膜トランジスタの集積回路からなるドライバー回路103、104を配置している。対向基板102は、画素エリア105とドライバー回路103、104の間にその縁が位置するように、紫外線硬化樹脂等のシール材106により基板101に固定されている。また対向基板の透明電極の電位は導電性接着剤によって基板側のパッド107を通して共通電位に固定されている。

【0005】 これは素子基板101と対向基板102の間に封入されている液晶に水分等が流入するのをできるだけ避けるためであり、更にドライバー回路、或いはその周辺には電源と同じ電位を持つ配線があるのでそれによって液晶に電界をかけないためである。

【0006】 この図1のA-A'の部分での構造断面図を図1(b)に示した。基板101上に多結晶シリコン等による薄膜トランジスタ113が形成されている。薄膜トランジスタ、ソース配線、画素電極114は第2層間絶縁膜120に覆われているが、画素電極114の上部は開孔されている。このトランジスタのゲート電極は最終的に終端部116でコンタクトホールを介して配線117に接続しており、配線117は対向基板端部より外側に形成されたトランジスタの集積回路からなるドライバー回路103と接続している。

【0007】 対向基板102には透明電極111が全面に形成されており、紫外線硬化樹脂等のシール材106により基板に固定されている。基板101、対向基板102をポリイミド等の配向膜112で覆っている。

【0008】 また図1のB-B'の部分での構造断面図を図1(c)に示した。基板101上の第1層間絶縁膜119の上層に配線306が形成されており、これらは更に酸化シリコン等の第2層間絶縁膜120で覆われて

いるが、パッド107上は開孔してある。この上にポリイミド等の配向膜112を塗布してある。このパッド107は共通電位になるように配線されているので、この部分に導電性接着剤118を塗布し、対向基板102を圧着すると対向基板の対向電極111はこれにより共通電位となる。

【0009】 また図2はこの液晶表示装置の斜視図である。

【0010】 このようにシール205を横切る配線は最低でもゲート線とソース線の数だけある。

【0011】

【発明が解決しようとする課題】 しかしながら従来の技術では、ドライバー回路は対向基板の外部に配置されているため、パネル組立時にドライバー回路を破損し歩留まりを下げることがあった。またドライバー回路がシールエリア外部に配置されているため装置全体が大型になってしまっていた。

【0012】

【課題を解決するための手段】 本発明では第2層間絶縁膜として透明有機絶縁膜を用いソース配線と画素電極を別層に分離し、更に前記有機膜のシールエリア下部を剥離し、ドライバー回路はシールエリア下部に配置することを特徴とする。

【0013】

【実施例】 以下実施例に基づいて本発明を詳しく説明する。

【0014】 図3の(a)は本発明による液晶表示装置の外観図である。基板上に形成された画素エリアの外週で、且つシールエリア下部にドライバー回路を配置してある。

【0015】 図3の(b)は図3の(a)のA-A'に於ける構造断面図である。基板101上に画素トランジスタ102が形成されている。シールエリアと画素部の中程にはトランジスタの集積回路からなるドライバー回路が配置されており、これら素子基板をポリイミド等の透明有機絶縁膜によって覆っている。この透明有機絶縁膜の上にITO等の画素電極が形成されており、画素トランジスタのドレイン電極とコンタクトホールを介して接続されている。またドライバー回路はシールエリア下部に配置されており、回路上部の透明有機絶縁膜は剥離されている。画素部からシールエリアに渡って配向膜に覆われている。

【0016】 この時入射光は対向基板側から液晶表示装置を透過することになるが、対向基板にはブラックマトリックス等の遮光層があり、ドライバー回路には照射されない。

【0017】 また図3の(c)は図3の(a)のB-B'に於ける構造断面図である。

【0018】 対向基板の対向電極はドライバー回路付近に形成された共通電位を持つ電極に付けられた導電性

接着剤319により接続され、コモン電位に固定される。

【0019】この場合の液晶表示装置の全体は図4に示したように、ドライバー回路をシールエリア下部に配置したことによりD1及びD2の幅の分だけ小型となっている。

【0020】またドライバー回路をシールエリア下部に配置したため必然的にシールの幅は広くなるが、水分等の液晶への流入を抑えることができる。

【0021】

【発明の効果】本発明の液晶表示装置の構造をとることにより、次に述べる効果がある。

【0022】ドライバー回路がシールエリア下部に配置されたことで液晶表示装置全体をこれまでのものより小型にすることができる。

【0023】ドライバー回路をシールエリア下部に配置したために、シールの幅は従来技術による液晶表示装置に比べ、広くなる。そのため水分が内部の液晶に流入し難く、液晶の劣化が少ない。

【0024】対向基板側から光を入射するとき対向基板の遮光層によってドライバー回路に照射される光が少なく消費電力の増加を防ぐことができる。

【0025】セルギャップをより精度良く均一に保つことができる。

【0026】またドライバー回路はシールエリアの下部に配置されたことで、組立工程での物理的損傷によるドライバー回路の破壊が少なく歩留まりが上がる。

【図面の簡単な説明】

【図1】 従来の技術による液晶表示装置の構造を示す

断面図。

【図2】 従来技術による液晶表示装置の斜視図。

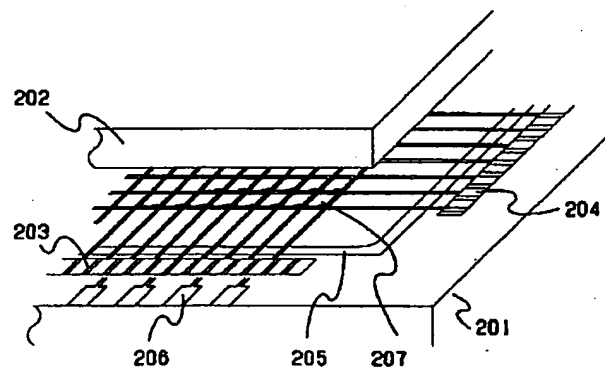
【図3】 本発明による液晶表示装置の構造を示す断面図。

【図4】 本発明による液晶表示装置の斜視図。

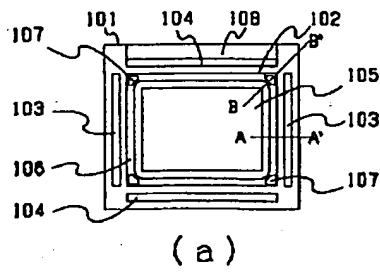
【符号の説明】

101、201、301、401・・・素子基板
102、202、302、402・・・対向基板
113、207、313、407・・・画素駆動トランジスタ
116、316・・・画素駆動トランジスタのゲート電極、及びゲート配線
106、205、303、405・・・シールエリア
103、104、203、204、304、403、404・・・ドライバー回路
117、317・・・配線
105・・・画素エリア
114、314・・・画素電極
111、311・・・対向電極
118、319・・・導電性樹脂
318・・・透明有機絶縁膜
107、305・・・コモン電位を持つパッド
110、310・・・ブラックマトリックス
115、315・・・画素電極とのコンタクトホール
112、312・・・配向膜
119・・・第1層間絶縁膜
120・・・第2層間絶縁膜
108、206、306、406・・・外部接続端子

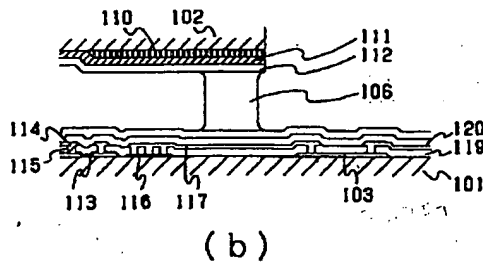
【図2】



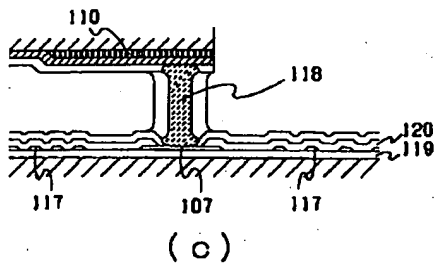
【図1】



(a)

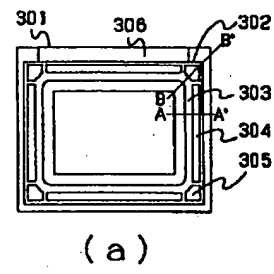


(b)

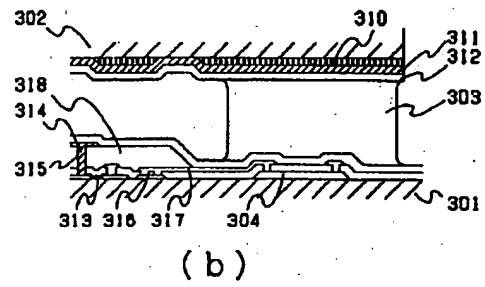


(c)

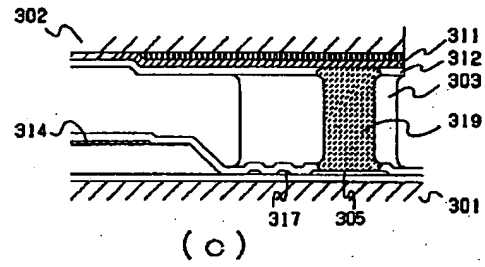
【図3】



(a)

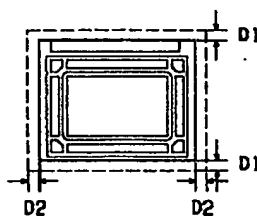


(b)

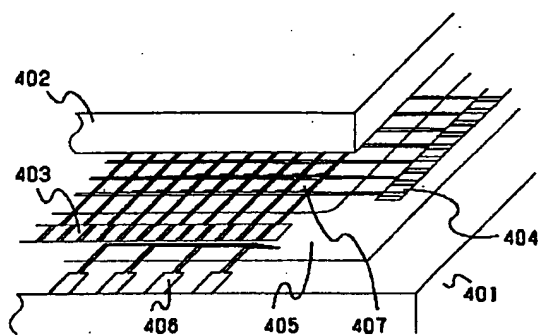


(c)

【図4】



(a)



(b)

フロントページの続き

(51) Int. Cl. 5

G 0 9 G 3/36

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7319-5G